

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000340649
PUBLICATION DATE : 08-12-00

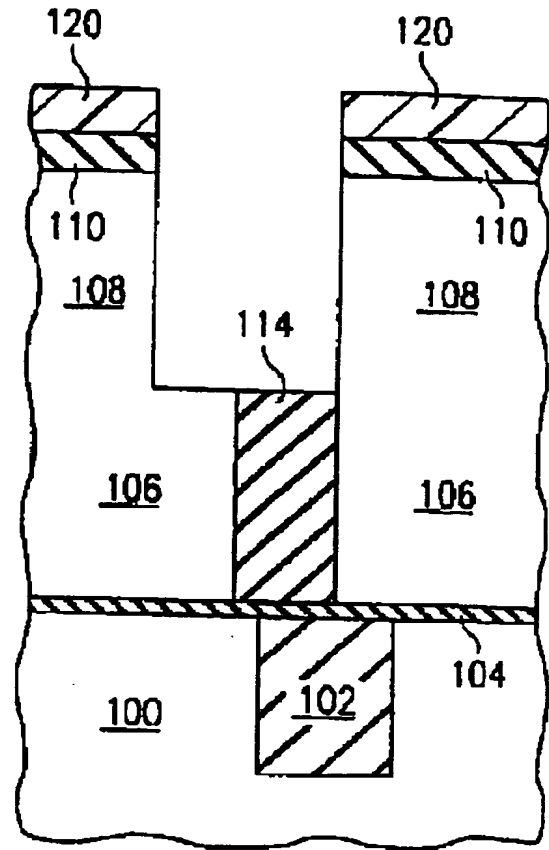
APPLICATION DATE : 01-05-00
APPLICATION NUMBER : 2000132057

APPLICANT : TEXAS INSTR INC <TI>;

INVENTOR : MCKEE WILLIAM R;

INT.CL. : H01L 21/768

TITLE : IMPROVEMENT IN YIELD IN
MANUFACTURE OF DUAL
DAMASCENE BY FILLING WITH OXIDE



ABSTRACT : PROBLEM TO BE SOLVED: To eliminate or minimize oxide pillars which occur, when performing the trench etching in a dual damascene mutual connection process.

SOLUTION: A via is made in heavy dielectric layers 106 and 108, and a via protective layer 114 is made within the via. The via protective layer 114 consists of a material, where selectivity of the wet etching is about 100 times the selectivity of the wet etching of the dielectric layer 108 or over and the selectivity of the dry etching is equal to the selectivity of the dry etching of, at least, the dielectric layer. A trench pattern 120 is made on the dielectric layer, and the trench is etched through a part of the dielectric layer, and at the step of etching this trench, a part of the via protective layer is removed, and then the section of the via protective layer left is selectively etched, and metal is formed within the trench.

COPYRIGHT: (C)2000,JPO

AN

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-340649
(P2000-340649A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.
H 0 1 L 21/768

識別記号

F I
H 0 1 L 21/90

テーマコード (参考)
A

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2000-132057 (P2000-132057)

(22) 出願日 平成12年5月1日 (2000.5.1)

(31) 優先権主張番号 60/131642

(32) 優先日 平成11年4月29日 (1999.4.29)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 09/521325

(32) 優先日 平成12年3月9日 (2000.3.9)

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ロバート ツー

アメリカ合衆国 テキサス州 75074 プ
ラノ ラヴァカ ドライブ 4209

(74) 代理人 100059959

弁理士 中村 稔 (外9名)

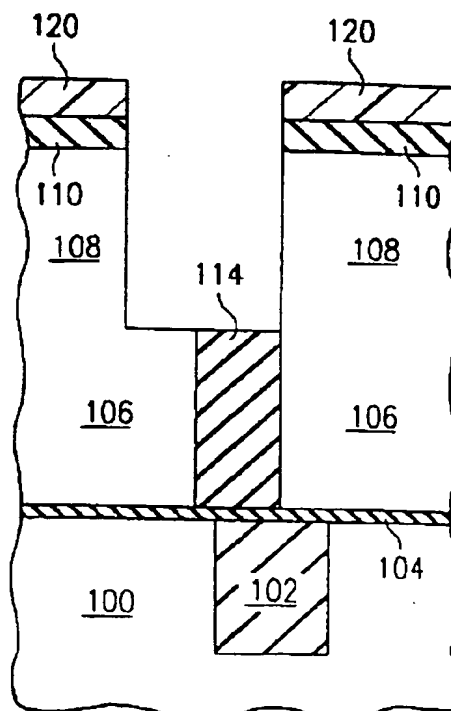
最終頁に続く

(54) 【発明の名称】 酸化物充填によるデュアルダマシン製作の歩留まり改善

(57) 【要約】 (修正有)

【課題】 デュアルダマシン相互接続プロセスにおいて、トレンチエッチングを行うときに発生する酸化物ビラーをなくすか又は最小限にするプロセスを提供する。

【解決手段】 重層の誘電体層106, 108にビアを形成し、ビア内にビア保護層114を形成する。ビア保護層114はウエットエッチングの選択率が誘電体層108のウエットエッチングの選択率の約100倍又はそれ以上で、ドライエッチングの選択率が少なくとも誘電体層108のドライエッチングの選択率と等しい材料からなる。誘電体層の上に、トレンチパターン120を形成し、誘電体層の一部を通してトレンチをエッチングし、このトレンチのエッチングするステップでビア保護層の一部を除去し、その後ビア保護層の残り部分を選択的にエッチングし、トレンチ内に金属を形成する。



【特許請求の範囲】

【請求項1】 集積回路を形成する方法において、半導体本体上に誘電体層を形成し、前記誘電体層内にビアを形成し、前記ビア内にビア保護層を形成し、前記ビア保護層は、ウェットエッチングの選択率が前記誘電体層のウェットエッチングの選択率の約100倍又はそれ以上で、ドライエッチングの選択率が少なくとも前記誘電体層のドライエッチングの選択率と等しい材料からなり、前記誘電体層の上に、トレンチパターンを形成し、前記誘電体層の一部を通してトレンチをエッチングし、このトレンチをエッチングするステップにより、前記ビア保護層の一部を除去し、前記ビア保護層の任意の残りの部分を選択的にエッチングし、前記ビアと前記トレンチ内に金属層を形成するステップを備えることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路の相互接続層形成の分野に関し、特にデュアルダマシンプロセスに関する。

【0002】

【従来の技術】半導体デバイスの密度がより高くなるにつれて、半導体デバイスを相互に接続する相互接続層への要求も増加する。それゆえ、従来のアルミニウム金属相互接続から銅相互接続に切り替える要望がある。残念なことに、半導体製造環境用の好適な銅エッチングは、容易に得ることが出来ない。銅のエッチングの問題を解決するため、ダマシンプロセスが開発された。

【0003】従来の相互接続プロセスでは、アルミニウム（及びバリアー金属）を堆積し、パターン化し、エッチングして、相互接続ラインを形成する。次に、中間レベル誘電体（ILD）を堆積し、平坦化する。ダマシンプロセスでは、第1にILDが形成される。次に、ILDをパターン化し、エッチングする。次に、構造の上に金属を堆積し、化学機械的研磨して、ILD上から金属を除去して、金属相互接続ラインを残す。こうして、金属エッチングを避けることが出来る。

【0004】1つの従来技術のダマシンプロセスであるデュアルダマシンプロセスを図1A～1Eを参照して説明する。図1Aを参照すると、半導体本体10上に、窒化珪素層12を堆積する。半導体本体10には、第1金属相互接続層が形成されている。窒化珪素層12の上に、ビアレベル誘電体層14が形成される。ビア誘電体層14は、FSG（フッ素をドーパした珪酸塩ガラス）である。ビア誘電体層14上に他の窒化珪素層18を堆積し、窒化珪素層18上に第2のトレンチレベル誘電体20を堆積する。次に、トレンチレベル誘電体20と、窒化珪素層18と、ビアレベル誘電体層14を通して、ビア22をパターン化し、エッチ

ングする。シリコン層12をエッチング停止層として使用する。

【0005】図1Bを参照すると、スピンで形成したフォトレジスト24を堆積し、ビア22の一部をフォトレジストで充填する。その結果、誘電体20上に約600オングストロームの厚さで、またビア22内に2000～2500オングストロームの厚さで、レジストが形成される。フォトレジスト24は、次のトレンチエッチングの間、ビア22を保護する。次に、図1Cに示すように、構造上にトレンチパターン26が形成される。トレンチパターン26は、トレンチレベル誘電体20の金属相互接続ラインを形成する領域を露出する。

【0006】図1Dを参照すると、トレンチエッチングを行って、FSG層20の一部を除去する。残念なことに、ビア22の傾斜のため、酸化物ピラー（pillar, 柱状のもの）28が残る。図1Eに示すように、フォトレジスト24の残りの部分もまた、除去される。浄化処理後でも、ビア22内に欠陥（ポリマー等）が残る。酸化物ピラー28と欠陥が、後続の処理中に問題をおこす。例えば、窒化珪素層12をエッチングした後、典型的にはバリアー金属を堆積する。バリアー金属が酸化物ピラー28を覆うことを保証するのは困難である。このため、プロセスのゆとりがなくなる。従って、酸化物ピラーをなくすか又は最小限にするデュアルダマシンプロセスの必要性がある。

【0007】

【発明が解決しようとする課題】本発明の目的は、上述した問題を解決することである。

【0008】

【課題を解決するための手段】デュアルダマシンプロセスが開示される。ビアのエッチング後、ビアの中にビア保護層を堆積する。ビア保護層は、ドライエッチング速度が少なくとも金属内誘電体（intrametal dielectric, IMD）のドライエッチング速度と等しく、ウェットエッチング速度がIMDのウェットエッチング速度の約100倍又はそれ以上の材料からなる。例示の材料としては、PSG、BPSG、HSQがある。トレンチパターンを形成し、ビア保護層とIMDとをエッチングする。次に、金属層を形成する前に、ビア保護層の残りの部分を除去する。本発明の利点は、酸化物ピラーがないか又は最小限にするデュアルダマシンプロセスを提供することである。本発明の他の目的と利点は、添付図面と共に次の本発明の詳細な説明を参照すれば、当業者には明らかであろう。

【0009】

【発明の実施の形態及び実施例】デュアルダマシンプロセスに関連して、本発明を説明する。本発明の利益を他のデュアルダマシンプロセス等の他の製造プロセスに適用できることは、当業者には明らかであろう。本発明は、デュアルダマシンプロセス中に酸化物ピ

ラーが形成されるのを防止する特定のエッチング特性を有するビア保護層を使用する。特に、ビア保護層は、ドライエッチング速度が少なくとも金属内誘電体 (IMD) のドライエッチング速度と等しく、蒸気HF又はウェットエッチング速度がIMDのウェットエッチング速度よりずっと大きい (約100倍又はそれ以上)。ウェットエッチング速度により、IMDに対してビア保護層が選択的に除去できる。ドライエッチング速度により、IMD (トレンチ) エッチング中に、ビア保護層を少なくともIMDと同じだけ除去する。このため、ビア保護層が、IMDの上に延びることがなく、酸化物ビラーが出来ることが保証される。

【0010】図2A~2Gを参照して、本発明の実施例を記述する。半導体本体100に、業界で知られているように、第1相互接続層102を形成する。(ここでは、第1相互接続層102であるが、層102は最も上の相互接続層を除いて、任意の相互接続層でも良い。) 半導体本体100の表面上に、エッチング停止層104を形成する。エッチング停止層104は、典型的には窒化珪素であるが、他の好適なエッチング停止層も、業界で知られている。エッチング停止層104の上に、ビアレベル誘電体106 (しばしば、中間レベル誘電体、interlevel dielectric, ILDといわれる) と、トレンチレベル誘電体108 (しばしば、金属内誘電体、intrametal dielectric, IMDといわれる) とが、形成される。図2Aに示すように、ILD106とIMD108とは、単一層でも良い。ILD106とIMD108に好適な材料は、業界で知られている。好適な実施例では、FSG (フッ素をドーブした珪酸塩ガラス) を使用する。他の例は、PETEOS (プラズマ強化テトラエチルオキシシラン) と、Kが低い低誘電体であり、おそらくキセロゲルが含まれる。ILD106とIMD108の間に、エッチング停止層は必要でない。しかし、所望により、これを設けることも出来る。ILD106とIMD108の間のエッチング停止層をなくすことにより、寄生キャパシタンスが減少する利点がある。

【0011】オプションとして、ハードマスク110が、IMD108上に形成される。ハードマスク110は、例えば、酸窒化珪素 (シリコン-オキシ-ナイトライド) のBARC (底部反射防止コーティング) を含んでも良い。これは、後述する次のレジストパターン用のBARCであっても良いが、ビアパターンとエッチングの前に堆積される。ハードマスク110は、ビアのコーナー部を保護する。図2Aを参照すると、任意のハードマスク110とIMD108とILD106とを通過して、ビア112をエッチングする。ビアのエッチングは、エッチング停止層104で停止する。ビア112は、2つの金属相互接続層間の接続が必要な領域に形成される。IMD108とILD106の間に、別のエッチング停止層が設けられていれば、ビアのエッチングは、この別のエッチング停止層をも通って行われる。

【0012】図2Bに示すように、ビアのエッチング後、ビア保護層114を堆積して、ビア112を充填する。図2Cに示すように、堆積後、ビア保護層114は、選択的にエッチバックされる。前述したように、ビア保護層114は、デュアルダマシンプロセス中に、酸化物ビラーが形成されないような特定のエッチング特性を有する。特に、ビア保護層114は、ドライエッチング速度が少なくともIMD108のドライエッチング速度と等しく、ウェットエッチング速度がIMD108のウェットエッチング速度よりずっと大きい (約100倍又はそれ以上)。ウェットエッチング速度により、IMD108に対してビア保護層114が選択的に除去できる。ドライエッチング速度により、IMD (トレンチ) エッチング中に、ビア保護層114を少なくともIMD108と同じだけ除去する。このため、ビア保護層114が、IMD108の上に延びることがなく、酸化物ビラーが出来ることが保証される。

【0013】スピノン (スピノで形成した、spin on) 酸化物が、ビア保護層114として特に良く作用する。堆積とエッチバックの特性により、ビア112が堅実に充填される。さらに、FSG (フッ素をドーブした珪酸塩ガラス)、BPSG (ホウ素とフッ素をドーブした珪酸塩ガラス)、HSQ (水素シルセスクオキサン) 等のスピノン酸化物が、優れたエッチング特性を有する。IMD108にFSGが使用されるときは、これは特に真実である。PSGとFSGの間のウェットエッチングの選択率は、容易に100:1までにすることができ、一方ドライエッチング速度は、ほぼ1:1に最適化することが出来る。

【0014】図2Dを参照すると、トレンチパターン120が形成される。トレンチパターン120は、第2の即ち次の金属相互接続層が必要な領域を露出する。もし、ハードマスク層110がそれ以前に形成されていれば、それはトレンチパターン120用のBARC層として使用することが出来る。図2Dに示すように、トレンチパターン120の形成は、BARC/ハードマスク層110をエッチングする段階を含む。

【0015】次に、図2Eに示すように、トレンチのエッチングを行って、IMD108をエッチングする。好適な実施例では、時間を決めたエッチングを使用する。しかし、ILD106とIMD108の間に別のエッチング停止層が形成されていれば、選択的エッチングを使用することが出来る。しかし、窒化珪素のエッチング停止層を導入すると、金属相互接続層間の寄生キャパシタンスが増加することに注意すべきである。

【0016】図2Fを参照すると、トレンチパターン120は、例えばアッシングにより除去される。次に、選択的酸化物ストリップ (oxide strip) を使用して、ビア保護層114の残りの部分を除去する。選択的酸化物ストリップは、ビア保護層114とIMD108/ILD106の間の選択率が少なくとも100:1のウェットエッチングで

ある。ポリマー／レジストは、ビア保護層114には使用されていないので、ビア保護層114の除去により、ずっときれいなビア112となる。欠陥／ポリマー残留物が著しく減少し、プロセスのゆとりが増加する。BARC／ハードマスク110とエッチング停止層104も又、除去される。

【0017】図2Gに示すように、処理を継続して、第2金属相互接続層122の形成する。(第2金属相互接続層122として参照するが、層122は最も下の相互接続層以外の任意の金属相互接続層でも良い。) 典型的には、窒化タンタル(Ta₂N₅)等のバリアー層124が、最初に堆積される。酸化物ピラーが形成されないの、トレンチ／ビア内に連続のバリアー層124を形成するのは、かなり容易である。この利点によっても、プロセスのゆとりが増す。バリアー層の目的は、次に形成される金属がIMD／ILD内に拡散するのを防止することである。バリアー層が破壊すると、金属の拡散を許し、そのため歩留まりと信頼性が損なわれる。従って、本発明は、酸化物ピラーの形成を防止し、ビア内の欠陥を減らすことにより、歩留まりと信頼性を改善する。

【0018】バリアー層124の後、典型的には銅シード層が形成される。その次に、銅相互接続層126を形成し、頂部の窒化物(Si₃N₄)キャッピング層128を形成する。次の金属相互接続層を形成するため、上述のプロセスを繰り返すことが出来る。

【0019】本発明を例示の実施例について記述したが、この記述は本発明を制限することを意図していない。例示の実施例の色々な修正と組合わせ、及び本発明の他の実施例は、この明細書を参照すれば当業者には明らかであろう。それゆえ、特許請求の範囲は、このような修正又は実施例を包含する。

【0020】以上の記載に関連して、以下の各項を開示する。

1. 集積回路を形成する方法において、半導体本体上に誘電体層を形成し、前記誘電体層内にビアを形成し、前記ビア内にビア保護層を形成し、前記ビア保護層は、ウェットエッチングの選択率が前記誘電体層のウェットエッチングの選択率の約100倍又はそれ以上で、ドライエッチングの選択率が少なくとも前記誘電体層のドライエッチングの選択率と等しい材料からなり、前記誘電体層の上に、トレンチパターンを形成し、前記誘電体層の一部を通してトレンチをエッチングし、このトレンチをエッチングするステップにより、前記ビア保護層の一部を除去し、前記ビア保護層の任意の残りの部分を選択的にエッチングし、前記ビアと前記トレンチ内に金属層を形成するステップを備えることを特徴とする方法。

【0021】2. 前記誘電体層が、フッ素をドーパした珪酸塩ガラスを含む前記第1項に記載した方法。

3. 前記誘電体層を形成するステップは、半導体本体上に第1エッチング停止層を形成し、前記第1エッチング

停止層上に中間レベル誘電体層(ILD)を形成し、前記中間レベル誘電体層(ILD)上に金属内誘電体層(IMD)を形成し、前記ビアは前記ILDを通して延び、前記トレンチは前記IMDを通して延びる前記第1項に記載した方法。

【0022】4. 第2エッチング停止層を前記ILDと前記IMDの間に形成するステップを備える前記第3項に記載した方法。

5. 前記ビアを形成する前に、前記誘電体上にハードマスクを形成するステップを備える前記第1項に記載した方法。

【0023】6. 前記ハードマスクは、底部反射防止コーティングを含む前記第5項に記載した方法。

7. 前記ハードマスクは、酸窒化珪素である前記第5項に記載した方法。

【0024】8. 前記ビア保護層は、スピンオン酸化物である前記第1項に記載した方法。

9. 前記ビア保護層は、HSQである前記第1項に記載した方法。

【0025】10. 集積回路を形成する方法において、半導体本体上に第1金属相互接続層を形成し、前記第1金属相互接続層上にエッチング停止層を形成し、エッチング停止層上に誘電体層を形成し、前記誘電体層を通して前記エッチング停止層までビアを形成し、前記ビア内にビア保護層を形成し、前記ビア保護層は、ウェットエッチングの選択率が前記誘電体層のウェットエッチングの選択率の約100倍又はそれ以上で、ドライエッチングの選択率が少なくとも前記誘電体層のドライエッチングの選択率と等しい材料からなり、前記誘電体層の上に、トレンチパターンを形成し、前記誘電体層内の第1深さまで、トレンチをドライエッチングし、このトレンチをドライエッチングするステップにより、前記ビア保護層の一部を少なくとも第1深さまでエッチングし、前記ビア保護層と前記誘電体層の間の選択率が少なくとも100:1であるウェットエッチングを使用して、前記ビア保護層の任意の残りの部分を選択的にエッチングし、前記ビアと前記トレンチ内に金属層を形成するステップを備えることを特徴とする方法。

【0026】前記誘電体層を形成するステップは、前記第1エッチング停止層上に中間レベル誘電体層(ILD)を形成し、前記中間レベル誘電体層上に金属内誘電体層(IMD)を形成するステップを備える前記第10項に記載した方法。

【0027】12. 第2エッチング停止層を前記ILDと前記IMDの間に形成するステップを備える前記第11項に記載した方法。

13. 前記ビアを形成する前に、前記誘電体上にハードマスクを形成するステップを備える前記第10項に記載した方法。

【0028】14. 前記ハードマスクは、底部反射防止コ

ーティングを含む前記第13項に記載した方法。

15. 前記ハードマスクは、酸化珪素である前記第15項に記載した方法。

【0029】16. 前記ビア保護層は、スピンオン酸化物である前記第10項に記載した方法。

17. 前記ビア保護層は、HSQである前記第10項に記載した方法。

【0030】18. デュアルダマシンプロセス。ビアのエッチング後、ビア(112)内にビア保護層(114)を堆積する。ビア保護層(114)は、ドライエッチング速度が少なくともIMD(108)のドライエッチング速度と等しく、ウェットエッチング速度がIMD(108)のウェットエッチング速度の約100倍又はそれ以上の材料からなる。例示の材料としては、PSG、BPSG、HSQがある。トレンチパターン(120)を形成し、ビア保護層(114)とIMD(108)とをエッチングする。次に、金属層(122)を形成する前に、ビア保護層(114)の残りの部分を除去する。

【図面の簡単な説明】

【図1A】 従来技術のデュアルダマシンプロセスのある段階の断面図。

【図1B】 従来技術のデュアルダマシンプロセスのある段階の断面図。

【図1C】 従来技術のデュアルダマシンプロセスのある段階の断面図。

【図1D】 従来技術のデュアルダマシンプロセスのある段階の断面図。

【図1E】 従来技術のデュアルダマシンプロセスのある段階の断面図。

【図2A】 本発明によるデュアルダマシンプロセスのある段階の断面図。

【図2B】 本発明によるデュアルダマシンプロセスのある段階の断面図。

【図2C】 本発明によるデュアルダマシンプロセスのある段階の断面図。

【図2D】 本発明によるデュアルダマシンプロセスのある段階の断面図。

【図2E】 本発明によるデュアルダマシンプロセスのある段階の断面図。

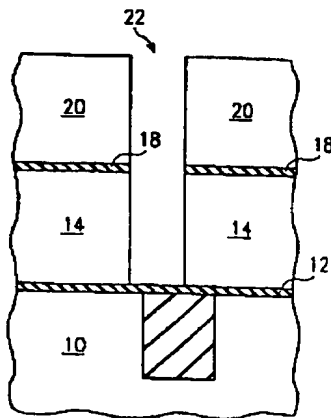
【図2F】 本発明によるデュアルダマシンプロセスのある段階の断面図。

【図2G】 本発明によるデュアルダマシンプロセスのある段階の断面図。

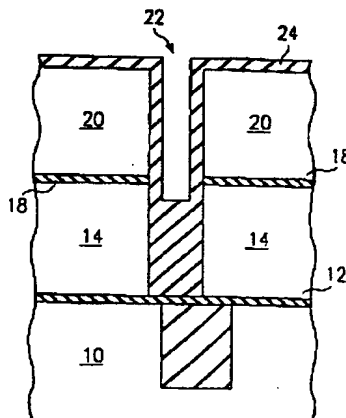
【符号の説明】

- 100 半導体本体
- 102 第1相互接続層
- 104 エッチング停止層
- 106 ILD
- 108 IMD
- 110 ハードマスク
- 112 ビア
- 114 ビア保護層
- 120 トレンチパターン
- 122 第2金属相互接続層
- 124 バリヤー層
- 126 銅相互接続層
- 127 キャッピング層

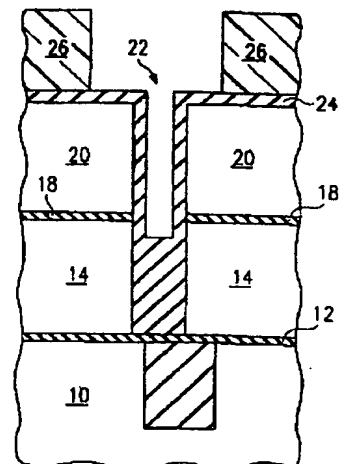
【図1A】



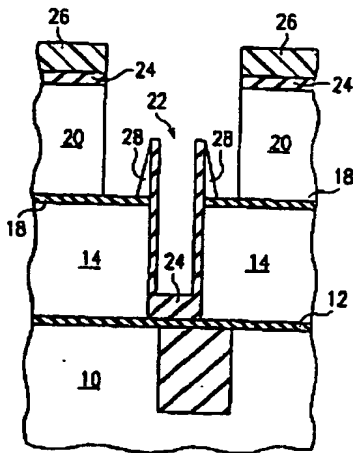
【図1B】



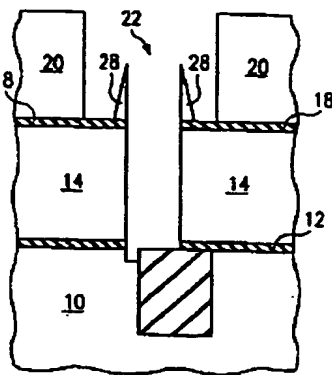
【図1C】



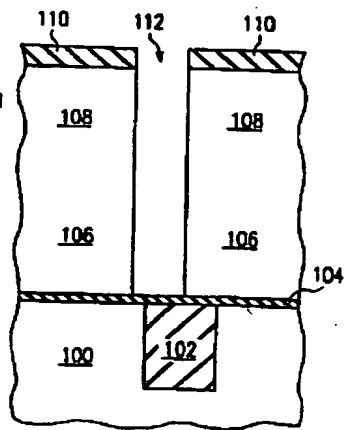
【図1D】



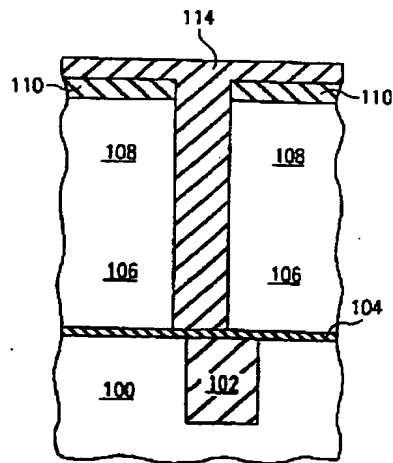
【図1E】



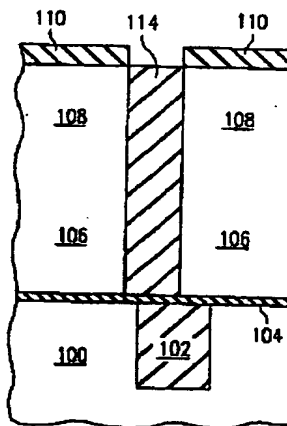
【図2A】



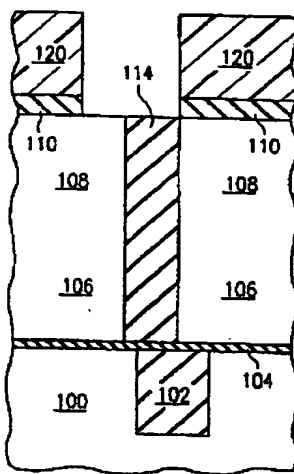
【図2B】



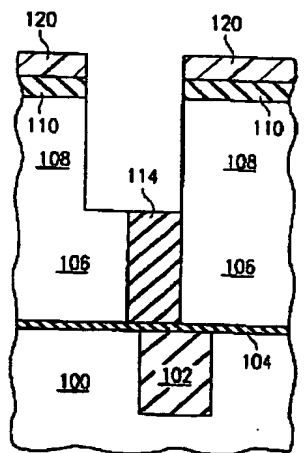
【図2C】



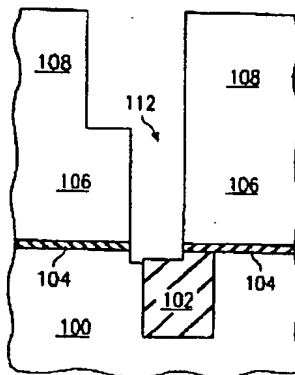
【図2D】



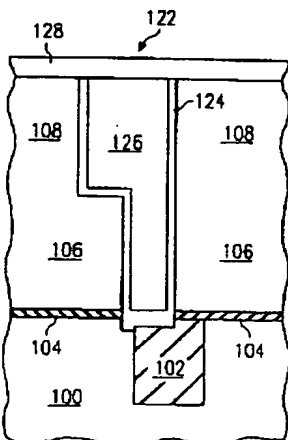
【図2E】



【図2F】



【図2G】



フロントページの続き

(72)発明者 キ ツォン ホン
アメリカ合衆国 テキサス州 75243 ダ
ラス フォレスト レーン 9601 アパー
トメント 521

(72)発明者 ウィリアム アール マッキー
アメリカ合衆国 テキサス州 75075 プ
ラノ パビーテ 1529